

## PATENT ABSTRACTS OF JAPAN

F-02ED0370

(11)Publication number : 05-082802  
 (43)Date of publication of application : 02.04.1993

(51)Int.CI.

H01L 29/788  
 H01L 29/792  
 G11C 11/22  
 G11C 17/04

(21)Application number : 03-270020

(71)Applicant : ROHM CO LTD

(22)Date of filing : 20.09.1991

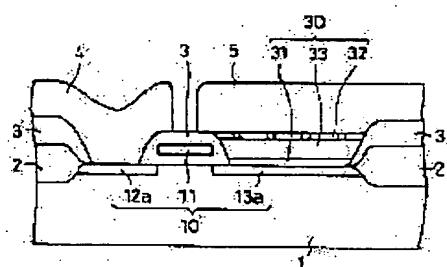
(72)Inventor : HOSHIBA KAZUHIRO

## (54) CAPACITOR OF SEMICONDUCTOR INTEGRATED CIRCUIT AND NONVOLATILE MEMORY USING SAME

## (57)Abstract:

PURPOSE: To provide a capacitor for a semiconductor integrated circuit, which can accumulate an enough quantity of signal charge and can shorten the switching time, and a nonvolatile memory using this capacitor.

CONSTITUTION: A ferroelectric capacitor of such structure that a plurality of capacitors of small area are connected seemingly in series is constituted by stacking a lower electrode 31, which has comb-shaped stripe structure, a ferroelectric film 33, and an upper electrode 32, which has comb-shaped stripe structure crossing the stripe structure of the lower electrode 31, on the source region 13a of a field effect transistor 10 in that order.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-82802

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/788				
29/792				
G 11 C 11/22		8522-5L		
17/04	A	9191-5L		
		8225-4M	H 01 L 29/78	3 7 1
			審査請求 未請求 請求項の数 2(全 6 頁)	

(21)出願番号 特願平3-270020

(22)出願日 平成3年(1991)9月20日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 干場 一博

京都市右京区西院溝崎町21番地 ローム株式会社内

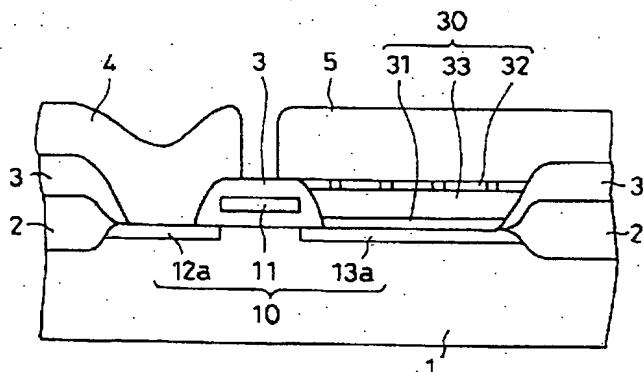
(74)代理人 弁理士 杉谷 勉

(54)【発明の名称】 半導体集積回路のキャパシタおよびこれを用いた不揮発性メモリ

(57)【要約】

【目的】 十分な量の信号電荷を蓄積することができ、しかもスイッチング時間を短くすることができる半導体集積回路のキャパシタおよびこれを用いた不揮発性メモリを提供する。

【構成】 電界効果トランジスタ10のソース領域13aの上に、櫛歯状のストライプ構造を持った下部電極31、強誘電体薄膜33、前記下部電極31のストライプ構造と交差する櫛歯状のストライプ構造を持った上部電極32をその順に積層することにより、見掛け上、複数個の小面積のキャパシタを並列接続した構造の強誘電体キャパシタを構成する。



## 【特許請求の範囲】

【請求項1】 半導体基板上に下部電極と強誘電体薄膜と上部電極とをその順に積層して形成された半導体集積回路のキャパシタにおいて、

前記各電極が歯状のストライプ構造に形成され、かつ、前記上下電極のストライプ構造が交差するように配置されていることを特徴とする半導体集積回路のキャパシタ。

【請求項2】 請求項1に記載のキャパシタを信号電荷蓄積用のキャパシタとして用いたことを特徴とする不揮発性メモリ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体集積回路に用いられるキャパシタの構造に係り、特に、強誘電体物質を用いたキャパシタおよび前記キャパシタを用いた不揮発性メモリに関する。

## 【0002】

【従来の技術】 従来、この種の不揮発性メモリとして、例えば、特開平3-304796号公報に記載されたようなメモリセルが知られている。このメモリセルの電気的等価回路図を図5に、その素子構造を図6に示す。図5に示したメモリセルは、スイッチング素子としての電界効果トランジスタ10と、強誘電体物質を用いた信号電荷蓄積用のキャパシタ20を含む。電界効果トランジスタ10は、ゲート電極11と、ドレイン電極12と、ソース電極13とを備え、ゲート電極11はワードラインWLに、ドレイン電極12はビットラインBLにそれぞれ接続している。キャパシタ20は、対向配置された2つの電極21、22を備え、両電極21、22の間に強誘電体薄膜23が介在している。一方の電極21は、電界効果トランジスタ10のソース電極13に接続し、他方の電極22は接地ラインVSSあるいはドライブラインDLに接続している。ここで、強誘電体薄膜23としては、一般にPZTと称されるチタン酸ジルコン酸鉛等が用いられる。

【0003】 図6を参照して、上述したメモリセルの素子構造を簡単に説明する。シリコン基板1の表面を選択酸化することによって得られたフィールド酸化膜2によって素子形成領域が分離形成され、この領域に酸化膜3で覆われたゲート電極11、ドレイン領域12aおよびソース領域13aからなる電界効果トランジスタ10が形成される。ソース領域13aの上に、下部電極21、強誘電体薄膜23および上部電極22をその順に積層して得られるキャパシタ20が形成される。そして、ドレイン領域12a上にはビットラインBLを構成する金属配線4が、上部電極22の上には接地ラインVSSあるいはドライブラインDLを構成する金属配線5がそれぞれ形成される。

【0004】 次に、図7および図8を参照して上述した

従来の不揮発性メモリに用いられる強誘電体キャパシタの電荷蓄積作用を説明する。図7は半導体基板上に形成される従来のキャパシタを抜き出して示した模式図である。図中の符号a、bはキャパシタの端子である。これらの端子a、b間に電圧を印加していくときに、電極21、22間に強誘電体薄膜23に蓄積される電荷量の変化を図8に示す。同図において、横軸は電界強度E、縦軸は分極量Pを示す。端子a、b間の電圧変化に対して、強誘電体薄膜23の分極量は、0→A→B→C→D→E→F→G→Bのような変化、つまりヒステリシス特性を呈する。

【0005】 いま、電極21、22間に電界強度をE0を越えて充分大きいE<sub>sat</sub>まで上げた後、これを0にまで戻すと、強誘電体薄膜23内には分極量P<sub>S</sub>（これを、自発分極という）が残る。同様に、電極21、22間に電界強度を-E<sub>sat</sub>まで下げた後、これを0にまで戻すと、強誘電体薄膜23内には分極量-P<sub>S</sub>が残る。このような正負の自発分極P<sub>S</sub>を、データ『1』、『0』の書き込み状態に対応付ければ、結局、キャパシタ20からは、次式で表される読み取り信号電荷Qが得られることになる。

$$Q = 2P_S \cdot S \text{ [クーロン]}$$

上式で、Sはキャパシタ面積である。なお、自発分極P<sub>S</sub>は、強誘電体薄膜23の組成、厚さ等によって定まる。

## 【0006】

【発明が解決しようとする課題】 しかしながら、このような構成を有する従来例の場合には、次のような問題がある。すなわち、図9に示すように、一般にPZTのような強誘電体物質を用いたキャパシタのスイッチング時間は、電極面積が小さくなるにつれて短くなり、この点は集積化に伴い電極面積を小さくしていく場合のメリットではあるが、図10に示すように、電極面積の減少とともに反転電荷密度（上式の2P<sub>S</sub>に相当する）も急速に減少するので、信号電荷Qの読み取りが困難になるという問題点がある。

【0007】 本発明は、このような事情に鑑みてなされたものであって、十分な量の信号電荷を蓄積することができ、しかもスイッチング時間を短くすることができる半導体集積回路のキャパシタおよびこれを用いた不揮発性メモリを提供することを目的としている。

## 【0008】

【課題を解決するための手段】 本発明は、このような目的を達成するために、次のような構成をとる。すなわち、請求項1に記載の発明に係る半導体集積回路のキャパシタは、半導体基板上に下部電極と強誘電体薄膜と上部電極とをその順に積層して形成された半導体集積回路のキャパシタにおいて、前記各電極が歯状のストライプ構造に形成され、かつ、前記上下電極のストライプ構造が交差するように配置されたものである。また、請求

項2に記載の発明に係る不揮発性メモリは、請求項1に記載のキャパシタを信号電荷蓄積用のキャパシタとして用いるものである。

## 【0009】

【作用】本発明に係るキャパシタは、上下電極が櫛歯状のストライプ構造に形成され、しかも、各電極のストライプ構造が交差するように配置されているので、見掛け上、小面積の強誘電体キャパシタが複数個並列に接続された構造になっている。キャパシタのスイッチング時間は、一つの小面積のキャパシタの面積によって決定されるので、スイッチング時間が短くなる。しかも、複数個のキャパシタが並列接続されているので、十分な量の信号電荷を蓄積することもできる。

## 【0010】

【実施例】以下、図面を参照して本発明の一実施例を説明する。図1は本発明に係るキャパシタを用いた不揮発性メモリの電気的等価回路図、図2はその素子構造を示した断面図である。図1および図2において、図5および図6と同一符号で示した部分は、従来例と同一構成部分を示す。図1および図2に示すように、本実施例に係るキャパシタ30の下部電極31は電界効果トランジスタ10のソース電極13に、上部電極32は接地ラインV<sub>SS</sub>あるいはドライブラインDLに、それぞれ接続されている。なお、本実施例では、スイッチング素子として、N型MOSトランジスタを例に探って説明するが、他のスイッチング素子として、例えばP型MOSトランジスタ、GaAs半導体によるJFET、バイポーラトランジスタを用いることもできる。

【0011】図3はキャパシタ部分を抜き出して示した図であり、同図(a)は平面図、(b)は(a)のA-A矢視断面図、(c)は(a)のB-B矢視断面図である。図3に示すように、キャパシタ30は、上下電極31、32がそれぞれ櫛歯状のストライプ構造をしており、各電極31、32のストライプ構造が交差するように配置されている。これらの電極31、32間に強誘電体薄膜33が介在している。すなわち、キャパシタ30は、図1に示したように、複数個の小面積の強誘電体キャパシタが並列接続された構造になっている。

【0012】以下、図2を参照して、図1に示した不揮発性メモリの素子構造を具体的に説明する。まず、P型シリコン基板1の上にフィールド酸化膜2によって素子形成領域を分離形成し、続いてゲート電極11、N<sup>+</sup>ドレイン領域12a、N<sup>+</sup>ソース領域13aを形成する。このような電界効果トランジスタ10は、周知の自己整合によって作ることができる。また、素子の微細化に伴うホットエレクトロンの問題を解消するために、電界効果トランジスタ10をLDD(Lightly-Doped Drain)構造にしてもよい。ゲート電極11は燐(P)をドープしたポリシリコンで形成したが、ポリシリコンと、タンゲステン(W)やモリブデン(Mo)のような高融点金

属との化合物であるシリサイドや、金属で形成することもできる。

【0013】電界効果トランジスタ10が形成されたシリコン基板1を、シリコン熱酸化膜3のような絶縁膜で覆う。次に、ソース領域13aの上にキャパシタ30の下部電極31を形成するために、その電極部分の酸化膜3をプラズマエッティング等の異方性エッティングで取り除く。その上に白金等の金属薄膜をスパッタリング等で被着し、フォトエッティング法により櫛歯状にパターンニングして下部電極31を形成する。

【0014】下部電極31を形成した後、強誘電体物質をスピンドルによるソルゲル法やMOD(Metal Organic Decomposition)法、あるいはスパッタリング法、MOCVD(Metal Organic Chemical Vapor Deposition)法、レーザアブレーション法で被着し、フォトエッティング法でパターンニングして強誘電体薄膜33を形成する。ここで用いられる好ましい強誘電体物質としては、一般的にPZTと称されるチタン酸ジルコニア鉛や、PLZTと称される(PbxLa<sub>1-x</sub>)(ZryT<sub>1-y</sub>)O<sub>3</sub>が例示される。下部電極31と同様して強誘電体薄膜33の上に櫛歯状の上部電極32を、下部電極31のストライプ構造と交差するように形成する。

【0015】以上のようにして強誘電体キャパシタを形成した後、必要な各コンタクト領域を形成し、金属配線4および金属配線5を作るための金属薄膜をスパッタリング等で被着する。この種の導電材料としては、通常、Al系合金(例えば、Al-Si、Al-Si-Cu等)等の金属が用いられるが、燐をドープしたポリシリコンのような導電性非金属を用いることも可能である。上記の金属薄膜を被着した後、フォトエッティング法により、ビットラインBLとなる金属配線4、および接地ラインV<sub>SS</sub>あるいはドライブラインDLに接続する金属配線5をパターンニングする。以上のようにして、図2に示した素子構造の不揮発性メモリが形成される。

【0016】図4は、本発明の他の実施例に係る不揮発性メモリの素子構造を示した断面図である。図2と同一符号で示した部分は、前述した実施例と同一構成部分であるので、ここでの詳細な説明は省略する。本実施例の特徴は、櫛歯状のストライプ構造をもった下部電極31と、強誘電体薄膜33と、下部電極31のストライプ構造に交差するように配置された櫛歯状の上部電極32とを積層したキャパシタ30を、ゲート電極11の上方に配置したことにある。本実施例では上部電極32が、金属配線5によってソース領域13aに接続され、下部電極31は接地ラインV<sub>SS</sub>あるいはドライブラインDLに接続される。なお、図中の符号6は、キャパシタ30と金属配線5との間に介在する絶縁膜である。

【0017】なお、上述の実施例では、本発明に係る強誘電体キャパシタを不揮発性メモリの信号電荷蓄積用のキャパシタとして用いた場合を例に探って説明したが、

本発明はこれに限らず、集積回路中に用いられる一般的なキャパシタとしても適用できることはもちろんである。

【0018】

【発明の効果】以上の説明から明らかなように、本発明に係る半導体集積回路のキャパシタによれば、強誘電体物質を用いたキャパシタの上下電極が各々櫛歯状のストライプ構造に形成され、前記各電極のストライプ構造が交差するように配置されており、見掛け上、小面積の強誘電体キャパシタが複数個並列に接続された構造になっているので、キャパシタのスイッチング時間を短くすることができるとともに、十分な量の信号電荷を蓄積することができる。また、本発明に係るキャパシタを不揮発性メモリの信号電荷蓄積用のキャパシタとして用いた場合には、スイッチング時間が短く、しかも信号電荷の読み取りマージンの大きな高性能のメモリセルを実現することができる。

【図面の簡単な説明】

【図1】本発明に係るキャパシタを用いた不揮発性メモリの電気的等価回路図である。

【図2】図1に示した不揮発性メモリの素子構造を示した断面図である。

【図3】実施例に係る強誘電体キャパシタの構造を示した図である。

【図4】その他の実施例に係る不揮発性メモリの素子構造を示した断面図である。

【図5】従来の不揮発性メモリの電気的等価回路図であ

る。

【図6】図5に示した不揮発性メモリの素子構造を示した断面図である。

【図7】従来の強誘電体キャパシタの模式図である。

【図8】図7に示したキャパシタの電極間の電界と強誘電体の分極量との関係を示した特性図である。

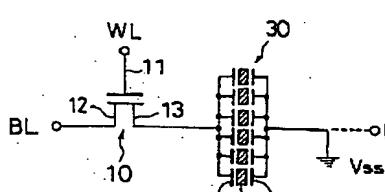
【図9】強誘電体キャパシタの電極面積とスイッチング時間との関係を示した特性図である。

【図10】強誘電体キャパシタの電極面積と反転電荷密度との関係を示した特性図である。

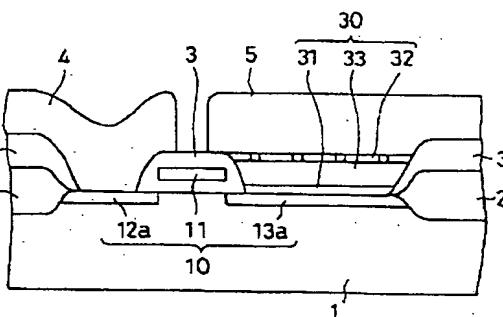
【符号の説明】

- 1 …シリコン基板
- 2 …フィールド酸化膜
- 3 …酸化膜
- 4 …金属配線（ビットライン）
- 5 …金属配線
- 6 …絶縁膜
- 10 …電界効果トランジスタ
- 11 …ゲート電極
- 12 …ドレイン電極
- 12a …ドレイン領域
- 13 …ソース電極
- 13a …ソース領域
- 30 …強誘電体キャパシタ
- 31 …下部電極
- 32 …上部電極
- 33 …強誘電体薄膜

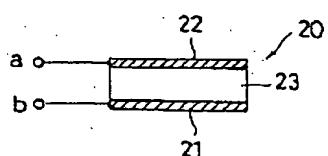
【図1】



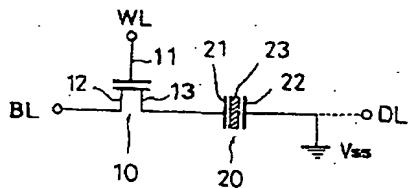
【図2】



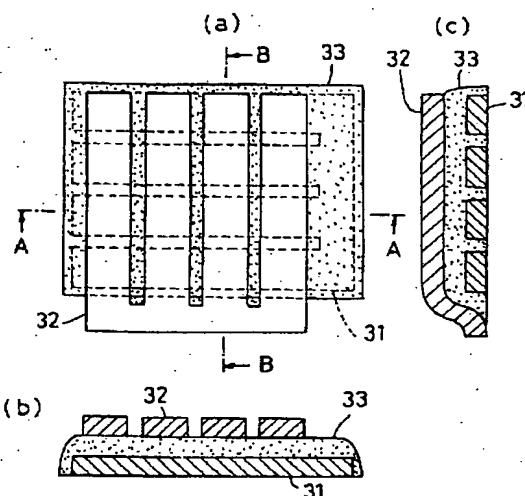
【図7】



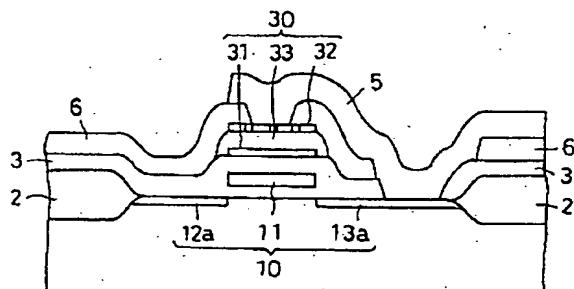
【図5】



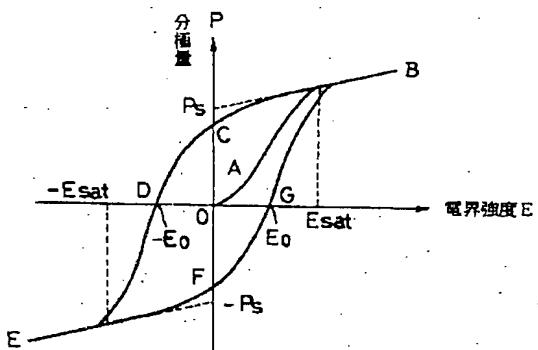
【図 3】



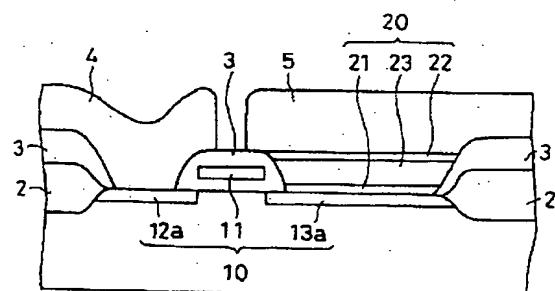
【図 4】



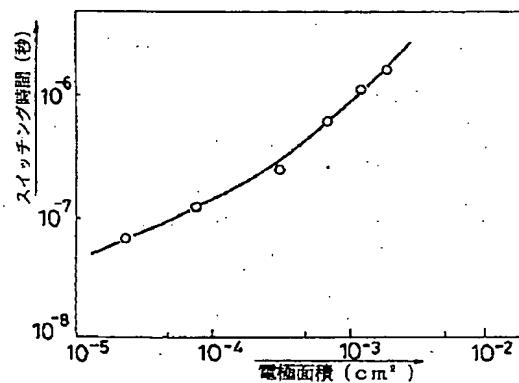
【図 8】



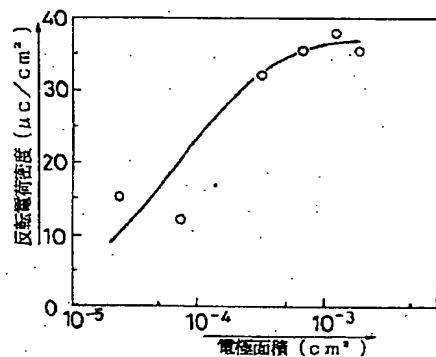
【図 6】



【図 9】



【図 10】



## 【手続補正書】

【提出日】平成4年4月13日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

## 【補正内容】

## 【0002】

【従来の技術】従来、この種の不揮発性メモリとして、例えば、特開平2-304796号公報に記載されたようなメモリセルが知られている。このメモリセルの電気的等価回路図を図5に、その素子構造を図6に示す。図5に示したメモリセルは、スイッチング素子としての電界効果トランジスタ10と、強誘電体物質を用いた信号

電荷蓄積用のキャパシタ20を含む。電界効果トランジスタ10は、ゲート電極11と、ドレイン電極12と、ソース電極13とを備え、ゲート電極11はワードラインWLに、ドレイン電極12はビットラインBLにそれぞれ接続している。キャパシタ20は、対向配置された2つの電極21、22を備え、両電極21、22の間に強誘電体薄膜23が介在している。一方の電極21は、電界効果トランジスタ10のソース電極13に接続し、他方の電極22は接地ラインVssあるいはドライブラインDLに接続している。ここで、強誘電体薄膜23としては、一般にPZTと称されるチタン酸ジルコン酸鉛等が用いられる。